

EDITORIAL



Menschen sind seltsame Wesen.

Den Nutzen, den die Technik ihnen bringt, nehmen sie oft nicht wahr, oder glauben gar, das Gegenteil sei der Fall. Die Computerisierung der

Gesellschaft und der Wirtschaft hat in den Augen vieler Europäer Jobs gekostet. Das ist bekanntlich richtig. Allerdings vornehmlich solche, die heute längst keiner mehr übernehmen wollte – darüber wird wenig geredet.

Im Bereich des Supercomputing gibt es vieles, was das Leben der Menschen nicht nur angenehmer gestaltet, sondern vielfach sogar retten kann. So tragen bessere Wettervorhersagen zum Gelingen des Sonntagsausflugs bei, die Vorhersage eines Tsunami jedoch rettet möglicherweise das Leben der ganzen Familie. Doch: viele kennen sicher eine Internetadresse, um den neuesten Wetterbericht abzurufen, den dafür verantwortlichen Superrechner und seine Funktionsweise, kennen bestenfalls einige wenige.

HPC bringt der Gesellschaft, den Menschen einen echten Nutzen. Nur müssten diese auch diesen Nutzen erfahren und ihn verstehen. In den Medien, abseits abgehobener Fachpublikationen mit ihren Flops und Terabytes, ist wenig davon zu hören.

Innerhalb der HPC-Community gibt es, und das ist gut so, viele Bestrebungen, die positiven Auswirkungen des Supercomputing in der Öffentlichkeit besser bekannt zu machen. Ein Beispiel ist wieder einmal der Ihnen vorliegende Bull HPC Newsletter. Wir werden ihn und damit die frohen Botschaften des Supercomputing nach Kräften verbreiten.



Auke Kuiper

INTERVIEW MIT PHILIPPE MILTIN, NEUER VICE-PRESIDENT DER BULL PRODUCTS AND SYSTEMS DIVISION

Sie haben langjährige Erfahrungen im High Performance Computing Bereich. Ist Ihre Ernennung ein weiteres Zeichen für ein verstärktes HPC Engagement bei Bull?

Ich habe die letzten 12 Jahre bei einem der Marktführer im HPC-Markt verbracht. Das hat für Bull in der Tat eine Schlüsselrolle bei meiner Berufung gespielt und zeigt ganz klar, welch hohen Stellenwert das HPC-Business bei Bull hat. Außerdem trug ich in den beiden Positionen, die ich zuletzt innehatte, europaweite Verantwortung. Bei der Weiterentwicklung der Bull Aktivitäten in Europa, die wir insbesondere auch für den HPC-Bereich planen, wird Bull diese Erfahrung sicher zugute kommen.



Philippe Miltin

Was zeichnet aus Ihrer Sicht das Bull High Performance Computing Angebot aus?

Bull hat innerhalb seiner HPC-Strategie drei wichtige Säulen. Die erste ist, dass Bull mit dem CEA Tera-10 Projekt erfolgreich bewiesen hat, dass man einen Supercomputer, der hunderte von Servern, Tausende von Prozessoren und eine komplexe Storagearchitektur umfasst, planen und imple-

Inhalt:

Interview mit Philippe Miltin, neuer Vice-President der Bull Products and Systems Division

Bull HPC User Convention 2006: HPC Anwender und Spezialisten aus ganz Europa trafen sich in Paris

Mit Bull muss man in jedem Falle rechnen.

Interview mit Dr. Herbert Cornelius, Technical Director Advanced Computing Center, Intel EMEA

Lustre® in großen Clustern mit nur einem PC managen

Universität Manchester entscheidet sich für Bull Supercomputer

Interview mit Itanium Kernel Maintainer Tony Luck, Principal Engineer, Intel

Bull HPC Hybrid Lösung

Der Weg zum Tera-Scale Computing ist bereitet von Dr. Herbert Cornelius, Technical Director Advanced Computing Center, Intel EMEA

Europas größte Supercomputing Veranstaltung 2007 wieder in Dresden

mentieren kann. Wenn sie den schnellsten Supercomputer in Europa installiert haben, der auch weltweit auf einem Spitzenplatz steht, dann sind sie offensichtlich in der Lage, alle Arten von Projekten erfolgreich abzuwickeln.

Die zweite Säule besteht in der Qualität des Bull HPC Technikteams. Die Entwicklung, das Engineering und der Support sind größtenteils in Paris und Grenoble (Frankreich) stationiert. Das ist ein idealer Standort, um unsere europäischen Kunden in der gleichen Zeitzone zu unterstützen. So können wir viel engere Beziehungen mit unseren Kunden entwickeln, denn Bull ist der einzige HPC-Anbieter, der seine gesamten Forschungs- und Entwicklungsressourcen in Europa platziert.

Die dritte Säule besteht meiner Meinung nach darin, dass Bull alle Aspekte, die für das Design einer umfassenden HPC Lösungen benötigt werden, beherrscht: Entwicklung von Servern mit hohem Datendurchsatz, Optimierung der Interconnect Strukturen, Entwicklung passender Software-Stacks, Monitoring und Optimierung der Performance von Applikationen. Und was HPC-Technologien der Zukunft betrifft, haben wir eine gut bestückte Roadmap mit neuen Architekturen, Hardwareakzellatoren (FPGA), Software...

Wie sieht Ihre Vision des Bull HPC aus?

Bull verfügt über alle Anlagen, um in Europa einer der HPC Marktführer zu werden. Wir werden weiterhin sehr große Systeme für bedeutende Forschungszentren entwickeln und supporten. Hier lag bisher Bull's Fokus und wir müssen das auch weiterführen. Bull hat zwar in zahlreichen europäischen Ländern bereits HPC-Systeme installiert, aber wir können uns noch verbessern. Die Länder Europas wollen heute eigene Weltklasse Rechenzentren, die mit den großen HPC-Systemen in den USA und Japan konkurrieren können. Bull ist sehr gut aufgestellt, um solche Projekte zu gewinnen. Außerdem wird Bull in Partnerschaften mit führenden Softwareanbietern Branchenlösungen für die Automobilindustrie, Energieversorger, das Wettervorhersagen und Medizin entwickeln.

Philippe Milin kam im September 2006 zur Bull Group. Der 43-jährige besitzt einen Abschluss der Ecole Supérieure de Gestion in Paris und begann seine berufliche Laufbahn 1988 im Vertrieb von Rank Xerox. Nachdem er 1990 zu Altos gewechselt war, übernahm er 1993 bei der Dell Corporation in Frankreich die Verantwortung für das Sales Development. Ab 1995 hatte er bei Silicon Graphics eine Reihe verantwortlicher Positionen wie Marketing Manager und Sales Manager inne und wurde 1999 zum Managing Director France ernannt. Von 2001 bis 2004 leitete er das Silicon Graphics Geschäft in Südeuropa und übernahm 2005 als Vice-President und Managing Director die Verantwortung für EMEA (Europe, Middle East and Africa).

Das Interview fand im Oktober 2006 statt. ■

BULL HPC USER CONVENTION 2006: HPC ANWENDER UND SPEZIALISTEN AUS GANZ EUROPA TRAFEN SICH IN PARIS

Die zweite Bull HPC User Convention fand am 28. und 29. September in Paris statt. Die Veranstaltung, an der zahlreiche HPC-Anwender und Spezialisten aus ganz Europa teilnahmen, nutzte das Musée des Arts Forains (Museum für historische Jahrmärkte) in Bercy nahe Paris mit seinen hervorragend restaurierten historischen Weinlagerhäusern als Rahmen. Die historische Szenerie und die interessanten Exponate des Museums boten einen inspirierenden Kontrast zur High-Tech Welt des HPC. In den (leider) kurzen sonnigen Momenten konnten die Teilnehmer Spaziergänge in Bercy genießen.

In diesem Jahr stand das Programm unter dem zentralen Motto: „Free up Performance in a Multicore Environment“. Damit sprach man den HPC-Anwendern aus dem Herzen, da die gesamte IT – und HPC natürlich im Besonderen – derzeit vor einem technologischen Wendepunkt steht. Um für die heute nicht mehr so rasant zunehmenden CPU-Taktraten einen Ausgleich zu finden, werden Chips mit immer mehr Prozessorkernen ausgestattet. Diese Multi-Core Prozessoren bringen höhere Rechengeschwindigkeit auf kleinerer Fläche und das für einen Preis pro Core, der rapide sinkt. Jedoch erfordert ein völliges Ausreizen der Möglichkeiten dieser Prozessoren ein fundamentales Umdenken. Natürlich, die reine Geschwindigkeit bleibt ein beherrschender Faktor, aber der Parallelisierung kommt zunehmende Bedeutung zu, um die Rechenlast wirkungsvoll auf eine mehr und mehr wachsende Zahl von Prozessorkernen aufzuteilen.

Für den hohen Grad der Parallelisierung, den Multi-Core Prozessoren erlauben, müssen Programmcodes optimiert und die richtigen Tools ausgesucht werden. Das sind heute die bestimmenden Faktoren für eine möglichst hohe Performance.

Um die verschiedenen Aspekte der Multi-Core Problematik umfassend zu beleuchten, lud Bull aus den Reihen seiner Technologiepartner, ISVs und Kunden aber auch aus den eigenen FE-Abteilungen Referenten mit entsprechendem Expertenwissen ein. So konnten verschiedenste Standpunkte gehört und Erfahrungen ausgetauscht werden. Im

Folgenden ein kurzer Abriss der wichtigsten Agendapunkte.

Die Eröffnungssession zum Thema „Tools for a Multi-Core Environment“, hielt Ben Bennett, Director des Intel HPC Programms, der sein Insiderwissen über die Evolution von Prozessortechnologien bis zum Jahre 2017 darlegte. Er sprach über geplante CPU-Entwicklungen der nächsten Jahre und die daraus resultierenden Auswirkungen auf die Software. Danach folgte ein Ausblick auf die fernere Zukunft. Vielleicht werden wir uns 2012 wieder treffen und erfahren, welcher der beschriebenen Wege Realität wurde.



Musée des Arts Forains

Über das Thema „Code Optimization for Parallelism“ referierte Bertrand Meltz, Forschungsingenieur am CEA. Er berichtete über die Code Optimierungen für das Tera-TF Benchmarking, mit denen sich im Vergleich zur Ausgangssituation die Ausführungsgeschwindigkeiten um den Faktor 2,8 erhöhen ließen. Die gewonnenen Erkenntnisse erläuterte er in Form praktischer Ratschläge.

Vincent Chaillou, CEO der ESI Group, einer der Partner von Bull, die an der Convention teilnahmen, zeigte praktische Beispiele für parallele Applikationen aus dem Bereich des virtuellen Prototyping auf, so etwa Optimierungen bei der Airbag Entwicklung.

Terry Hewitt, Director of Research Computing an der University of Manchester, sorgte später mit seinem humorvollen, nicht immer ernst gemeinten Vortrag zum Thema „Supercomputing in the 21st century: coming or going?“ für glänzende Unterhaltung.

Das Tagesprogramm schloß eine Präsentation von Didier Lamouche, Bull Chairman und CEO, in der er Bull's Engagement für das HPC unterstrich.

Während des folgenden Abendprogramms hatten die Teilnehmer Gelegenheit, sich mit einigen der historischen Exponate des Musée des Arts Forains zu beschäftigen und nutzten die Chance, sich mit Referenten und Fachkollegen auszutauschen.

Der folgende Tag begann mit der Session „Middleware and Multi-Core“. In einer Prä-



sensation von CFS wurde über die Entwicklungslinie des Lustre Filesystems berichtet. Ein weiterer Programmpunkt beschäftigte sich mit Bull's FE-Arbeiten bei der Anpassung von MPI für Multi-Core.

Die folgende „Perspectives“ Session bot Michel Guillemet, Chief Technical Officer und Director der Products and Systems Division bei Bull, die Gelegenheit, die Anwesenden hinsichtlich der Haupttrends im HPC auf den neuesten Stand zu bringen und die entsprechenden Positionen von Bull zu erläutern.

Zum Thema „The Users' Point of View“ übernahmen drei HPC Anwender aus sehr unterschiedlichen Bereichen die Bühne. Ihre Präsentationen fanden bei Teilnehmern, die sich für den Einsatz des HPC in ihnen fremden Einsatzgebieten interessierten und eigene Erfahrungen mit den dort gemachten vergleichen wollten, viel Anklang.

Den Anfang machte Automobillegende Pininfarina, wo ein Bull NovaScale Cluster eingesetzt wird. So erklärte Jorge Huarca Segovia, CAE Department Manager, welcher Ansatz und welche Tools für das virtuelle Entwickeln von Automobilstrukturen eingesetzt werden.



Im Musée des Arts Forains

Dr. Jürgen Schnack, Professor für Theoretische Physik an der Universität von Osnabrück, auch er Bull NovaScale Anwender, entführte das Publikum mit einem Vortrag über seine Forschung im Bereich magnetischer Moleküle in eine Welt unfassbar kleiner Objekte. Diese neue Art von Materialien war für die HPC-Community in zweierlei Hinsicht von Interesse: Zum einen wegen des HPC-Einsatzes in der Forschung und zum anderen weil derartige Stoffe einen praktischen Einsatz in Datenspeichern und Quantencomputern finden könnten.

Abschließend referierte Stéphane Requena, Forschungsingenieur am French National Petroleum Institute, das eine Technologiepartnerschaft mit Bull unterhält, darüber, wie HPC in der Ölbranche eingesetzt wird. Mineralölunternehmen investieren zunehmend in HPC, um immer detailliertere Simulationen auszuführen. Diese helfen, die Exploration und Produktion von Öl und Gas zu optimieren, während gleichzeitig mögliche Risiken betrachtet werden können. ■

MIT BULL MUSS MAN IN JEDEM FALLE RECHNEN.

INTERVIEW MIT DR. HERBERT CORNELIUS

Technical Director Advanced Computing Center, Intel EMEA

Frage: Welche Bedeutung hat die International Supercomputing Conference (ISC) für den Intel Technical Marketing Manager?

Antwort: Die ISC ist ein idealer Platz, um sich über das Thema HPC insgesamt zu informieren. Hier findet man alle Informationen über Entwicklungen des vergangenen Jahres und wichtige neue Trends. Neben der traditionellen jährlichen Supercomputing Conference in den USA gibt es nirgendwo sonst derart hochwertige Information in so geballter Form.

Frage: Welche neuen Trends gibt es aktuell?

Antwort: Im Bereich Hardware ist hier sicher der Einsatz von Akzeleratoren zu nennen. Spezielle Hardware aller Art - FPGAs, RAID Systeme, Special Purpose Hardware im allgemeinen – ist ein wichtiger Trend. Die Einbindung dieser Hardware gehört zu den vordringlichen Themen. Aber auch die Wiedergeburt massiv paralleler Architekturen lässt sich als Trend erkennen, wobei Clusterarchitekturen allerdings nach wie vor den Volumenbereich abdecken.

Frage: Vielfach gibt es ja auch gekoppelte Systeme. Ebenfalls ein Trend?

Antwort: HPC-Systeme mit gekoppelten Parallel- und Vektorrechnern gibt es ja seit längerem. Für verschiedene Anwendungen steht so jeweils eine optimierte Plattform zur Verfügung. Allerdings müssen diese heterogenen Systemumgebungen innerhalb eines Netzwerkes besser integriert werden. Ein Trend in diese Richtung ist auszumachen. Problematisch ist in jedem Falle das Preis-/Leistungsverhältnis dieser Infrastrukturen, da die teure Hardware nicht immer optimal genutzt werden kann. Außerdem gibt es derzeit keine Standards für die Programmierung. Eine einzige Systemplattform für alle Anwendungen wäre natürlich aus diesen Gründen ideal, aber leider verlangen viele Applikationen optimierte Systemarchitekturen. Itanium-basierte Supercomputer sind sicherlich eine gute Lösung und das speziell im Hinblick auf die Kosten.

Frage: Die zu lösenden Probleme liegen also mehr auf der Softwareseite?

Antwort: Sicher. Man kann heute relativ leicht die Hardware für ein sehr leistungsfähiges HPC-System zusammenbauen. Es kommt aber auf die Software an. Wir müs-

sen weg von Einzellösungen und hin zu einem gemeinsamen Industrieansatz.

Frage: Die französische CEA hat aus diesem Grunde die Teratec-Initiative in's Leben gerufen. Wäre derartiges nicht auch aus deutscher Sicht eine gute Lösung?

Antwort: Eine vergleichbare Initiative gibt es in Deutschland nicht. Natürlich bestehen auch hier enge Verbindungen zwischen Wissenschaft und Industrie, um das Thema HPC mit vereinten Kräften voran zu bringen. Der fokussierte Ansatz und das klare Ziel der Teratec vermischen wir aber bisher hier in Deutschland.

Frage: Könnte ein Engagement der Politik helfen?

Antwort: Auf der ISC war die Politik „nur“ mit einem Vertreter der sächsischen Landesregierung bei der Eröffnungsveranstaltung vertreten. Amerikaner, Japaner und Chinesen haben die Rolle, die das High Performance Computing für die Nationalökonomien spielt, erkannt und sind entsprechend besser aufgestellt. Das rohstoffarme Deutschland sollte HPC wichtiger nehmen, aber vielleicht ist das Thema Supercomputer den Politikern noch zu exotisch.

Frage: In Deutschland und in Europa gibt es ja auch nur wenige Hersteller, die Lösungen für den HPC-Markt entwickeln. Das erklärt vielleicht das relativ geringe Interesse der Politik. Eine der wenigen, in diesem Bereich etablierten Firmen ist Bull...

Antwort: Bull ist als Lösungsanbieter im HPC-Markt gut aufgestellt. Wir begrüßen den europäischen Ansatz des Unternehmens und sind der Meinung, dass Bull auf einem guten Weg ist.

Frage: Wird Bull zusammen mit Intel die Petaflops-Barriere durchbrechen?

Antwort: Mit Bull muss man in jedem Falle rechnen. Bull ist eine der wenigen Firmen, die dazu in der Lage ist. Das von Bull realisierte CEA-System liegt in der Top500-Rangliste der Supercomputer auf Platz 5. Das ist sicher eine exzellente Basis für die Zukunft

Frage: Hilft die ISC, heute unzweifelhaft einer der wichtigsten Events der Supercomputing Gemeinde in Europa, die öffentliche Meinung zu beeinflussen?

Antwort: Sicher. Die ISC hat eine tolle Entwicklung hinter sich. Ich war schon vor 20 Jahren, damals noch als Cray-Mitarbeiter, dabei. Aus dem recht kleinen Forum für eine Schar von High Performance Computerspezialisten ist heute eine Veranstaltung

für die gesamte Branche geworden. Das wirkt sich natürlich auch auf die öffentliche Wahrnehmung des Supercomputing aus.



Dr. Herbert Cornelius

Frage: Sie hatten eingangs das amerikanische Pendant zur ISC, die ebenfalls jährlich stattfindende Supercomputing Conference erwähnt. Welchen Stellenwert hat diese Veranstaltung für Sie als Europäer?

Antwort: Neben der ISC in Europa ist die jährliche Supercomputing Conference in den USA der wichtigste Industrie Event im HPC Marktsegment. Da viele Hardware- und Software-Technologien nach wie vor in den USA entwickelt werden, ist die SC ein ideales Forum für aktuelle Informationen und zum internationalen Gedankenaustausch rund um HPC. Die SC ist traditionell als weltweite Konferenz angelegt und daher auch entsprechend noch stärker besucht.

Das Interview fand im Oktober 2006 statt. ■

LUSTRE® IN GROSSEN CLUSTERN MIT NUR EINEM PC MANAGEN

Bull bringt Lustre Administration Tools mit „Single Point of Management“

Das Bull Forschungs- und Entwicklungsteam hat unseren Slogan „Architect of an Open World™“ Realität werden lassen. Man fokussiert sich hier insbesondere auf Open Source Software Tools, um Anwendern effiziente Werkzeuge zu möglichst geringen Lizenzkosten an die Hand geben zu können.

Das Design von Administrationswerkzeugen für Lustre ist nur eines der Projekte, mit denen Bull seine aktive Rolle in der Offenen Welt demonstriert. Das Ziel dieser Tools ist es, das Management von Lustre Filesystemen – z.B. Einsatz, Administration und Tuning – auf einfache Weise, von einem einzelnen Cluster Management Node aus, zu bewerkstelligen.

Die Tools entstammen ursprünglich aus den Ausschreibungsbedingungen für den Tera-10 Cluster. Unter hunderten anderer Punkte war ein ‘Single Point of Management’, ein sogenannter Administration Node, als Anforderung definiert worden. Dieser Punkt der Ausschreibung hatte Einfluss auf alle Cluster Administration Tools, aber insbesondere auf Lustre.

Dieses Cluster Management lässt einen Cluster aus hunderten Servern wie einen einzelnen PC erscheinen, benötigt also einen ‘Single Point of Management’. Aber während der Administrator eines Linux PC nur ein paar Komponenten zu managen hat, muss das Systemadministrationsteam eines Cluster von der Größe des Tera-10 tausende von Komponenten managen, so etwa mehr als 7.000 Laufwerke für das Lustre Filesystem auf der obersten Ebene der Storage Hierarchie.

Dreh- und Angelpunkt des HPC ist Skalierbarkeit, das gilt für jeden Aspekt eines Cluster, Management Tools eingeschlossen. Lustre Management wiederum gehört zu den Schlüsselementen des gesamten Management Netzwerks.

Die Features der Lustre Management Tools spiegeln die Komponenten der Lustre-Architektur selbst wider: Filesystem, Clients, Object Storage Servers (OSS), Meta Data Servers (MDS)... Für jede Komponente werden ‘orthogonale’ Features (nicht spezifische Lustre Features), wie etwa hohe Verfügbarkeit, in Betracht gezogen. All das muss modular gestaltet und von Grund auf, unter Berücksichtigung künftiger Evolutionen, entwickelt werden.

Im April 2006, als die Tools mit allen Features fertig waren, wurden sie anlässlich des fünften „Workshop on Scalable Global Parallel File Systems“ in Stuttgart und auf dem Lustre User Group Spring Meeting in Hilton Head Island der Öffentlichkeit vorgestellt. Die darauf folgenden Diskussionen mit dem Publikum bestätigten uns darin, das in der Lustre Community ein Bedürfnis für diese Art von Tools besteht und dass Bull’s Tools eine bestehende Lücke füllen würden. Danach war zu entscheiden, ob die Tools nur an Bull Kunden verteilt werden, oder ob sie für die gesamte Lustre Community verfügbar gemacht werden sollten.

Dieser Punkt wurde auf dem Lustre.org Community Forum im Juni diskutiert. Die Wahl fiel, wie bei den meisten auf Lustre bezogenen Codes, auf die Open Source Lizenz GPL.

Während des Sommers wurden die Tools auf die nächste größere Lustre Version 1.6 portiert. Auch wenn Lustre im Bezug auf die Systemadministration signifikante interne Änderungen erfuhr, sind diese für die Anwender der Bull Lustre Administration Tools – dank der zusätzlichen Schicht an der Spitze der Lustre Low-Level Commands - weitgehend transparent.

Dieses Release markiert einen bedeutenden Meilenstein für Lustre bei Bull – die allgemein anerkannte Fähigkeit, ein schwieriges Problem zu meistern und eine Lösung bereitzustellen – doch sicher nicht das Ende der Forschungs- und Entwicklungsaktivitäten auf diesem wichtigen Gebiet. Bull Teams arbeiten weiter mit der Lustre Community zusammen und beweisen Bull’s Engagement für Open Source als “Architect of an Open World”.

Die Tools sind als Download verfügbar unter: www.bullopen-source.org/lustre

Das Bull Lustre Team erreichen Sie unter: lustre@frec.bull.fr ■

UNIVERSITÄT MANCHESTER ENTSCHEIDET SICH FÜR BULL SUPERCOMPUTER

Die Universität Manchester, eines der führenden HPC-Zentren in Großbritannien, hat sich im Rahmen einer Ausschreibung für einen neuen Supercomputer von Bull entschieden. Das neue System soll Forschern helfen, verbesserte Simulationen durchzuführen.

Der Supercomputer ist der erste in Großbritannien, der auf Intel’s neuer Dual-Core Itanium® 2 CPU (Codename Montecito) basiert und stellt außerdem die weltweit erste Implementierung Bull’s neuer NovaScale® 3045 Symmetrical Multi-Processor Server Technologie dar. Mit insgesamt 208 Montecito Prozessor Cores erreicht der Bull NovaScale Supercomputer eine Peak Performance von 1.33 Teraflops.



Universität Manchester

Das neue System soll sowohl für das gesamte wissenschaftliche Personal als auch für die Studentenschaft der Universität Manchester zur Verfügung stehen. Im Vergleich zum bislang von der Hochschule eingesetzten Supercomputer ist das BULL-System 35 Mal leistungsfähiger und soll die Forschungsanstrengungen der Hochschule gleich in mehreren Bereichen optimieren, wie etwa in der Computerchemie, dem Ingenieurwesen, der Biochemie und der Klimaforschung.

Mit dem NovaScale-Computer möchte die Universität ihre „Agenda 2015“ stärken. Ziel dieser Agenda: eine der weltweit führenden, forschungsgetriebenen Hochschulen zu sein.



NovaScale Cluster an der Universität Manchester

„Für die Erreichung dieses Ziels müssen wir sicherstellen, dass unsere Forscher Zugriff auf ausreichend leistungsstarke HPC-Kapazitäten bekommen. BULL bot uns in diesem Zusammenhang die beste Gesamtlösung mit hoher Performance, optimalem Preis/Leistungsverhältnis und besten Wartungskonditionen an. Darüber hinaus sind wir als Universität Manchester stolz darauf, mit dem neuen Supercomputer unsere Tradition fortzusetzen, viel versprechende neue Technologien einzusetzen. Ebenso sind wir erfreut, als Erster im Vereinigten Königreich ein HPC-System auf Montecito-Basis zu nutzen“, kommentiert Terry Hewitt, Director Research Computing der Universität Manchester, den spektakulären Neuerwerb.

Der neue Supercomputer wurde von Bull voll integriert geliefert und umfasst ein Quadrics QsNetII Hochgeschwindigkeitsnetzwerk, ein paralleles Filesystem von Lustre und eine komplette HPC-Softwaresuite mit Entwicklungs- und Cluster-Managementtools.

„Die Universität Manchester verfügt mit dem landesweit ersten Einsatz des Intel Dual-Core Itanium® 2 Prozessors über neueste Technologie. Das neue System wird die Forschung an der Universität deutlich verbessern. Um die neuen Möglichkeiten dieser Infrastruktur wird die Universität von allen anderen Bildungseinrichtungen des Landes beneidet,“ sagte Richard George, EMEA Itanium Product Manager bei Intel.

„Im Bereich des HPC setzt die Universität Manchester weiter die Maßstäbe. Die Entscheidung für den neuen Bull Supercomputer zeigt, dass man Forschung auf Weltniveau betreiben will. Wir haben mit vielen Forschungseinrichtungen in Großbritannien und Europa zusammen gearbeitet. Dass die Universität Manchester ihre HPC-Anforderungen mit Bull Lösungen erfüllt, beweist, dass unsere Fähigkeiten und Erfahrungen in der Branche Anerkennung finden,“ erklärte Mike Dunk, CEO UK und Ireland, Bull Information Systems. ■

INTERVIEW MIT ITANIUM KERNEL MAINTAINER TONY LUCK

Principal Engineer, Intel

Frage: Sie haben vor einiger Zeit die Pflege des Itanium Kernel von David Mosberger übernommen. Wie sieht Ihre Rolle als Itanium Kernel Maintainer aus?

Antwort: David übergab mir diese Aufgabe im August 2004. Meine Aufgabe ist es, alle Itanium spezifischen Beiträge für den Linux Kernel zu prüfen, den Erstellern ein Feedback zu geben (zum Beispiel, sie um Überarbeitung mancher Teile zu bitten), um dann die Änderungen im Kernel aufzunehmen und zu testen. Danach sende ich die Änderungen an Linus und/oder Andrew.

Frage: Wie sollten Entwickler Itanium spezifischer Linux Beiträge vorgehen?

Antwort: Alle Itanium spezifischen Änderungen (mit Ausnahme sicherheitsrelevanter Bugfixes, die direkt an mich gesandt werden können) sollten an die <linux-ia64@vger.kernel.org> Mailingliste gesandt werden, damit sie von der gesamten Community grundsätzlich geprüft und kommentiert werden können. Einfache Bugfixes, die offensichtlich korrekt sind, gehen über meinen „release“ GIT Tree sofort an Linus. Neue Features und komplexere Änderungen verbleiben üblicherweise eine Weile in meinem „test“ Tree, der von Andrew automatisch in seine „-mm“ Releases übernommen wird. Weitere Itanium spezifische Änderungen, die Andrew in sein -mm Verzeichnis aufgenommen hat, gibt er zunächst mir und ich dann an Linus weiter. So ergibt sich manchmal ein ziemlich komplexer Fluss von Patches, die sich zwischen den Verzeichniskäufen bewegen.

Frage: Ist es schwierig, die Itanium Patches in den Kernel zu integrieren?

Antwort: Solange sie nicht von der grundlegenden Linux Philosophie abweichen, gibt Linus mir freie Hand, zu tun, was ich für richtig halte.

Frage: Welche Itanium spezifischen Erweiterungen, den Kernel und GCC betreffend, sind derzeit in der Planung?

Antwort: Ich bin gerade dabei, die „kexec“ und „kdump“ Features zum Laufen zu bringen.

Frage: Welche Änderungen müssen in Kernel und GCC für den Support der nächsten Generationen der Itanium 2 9000 Prozessor Serie (Codename „Montecito“) vorgenommen werden?

Antwort: Für die Itanium 2 9000 Prozessor Serie mit Dual-Core und Hyper-Threading werden folgende Änderungen benötigt:

1) Identifizieren der Cores und Threads sowie der Einsatz von PAL Aufrufen, um die Systemtopologie zu bestimmen (Welche Threads teilen sich einen Prozessorkern, welche Prozessorkerne sind Teil eines gemeinsamen physikalischen Pakets?).

2) Bereitstellen dieser Topologieinformationen für den generischen Linux Scheduler Code (Andere Intel-Mitarbeiter halfen zuvor, um sicherzustellen, dass der generische Scheduler die Features bekam, die für den Support des Montecito Multi-Core/Multi-Thread benötigt werden.).



Tony Luck

Frage: Gibt es spezielle HPC (High Performance Computing) Erweiterungen oder Parameter im Itanium Linux-Kernel?

Antwort: Die Itanium Architektur stellt eine umfangreiche Palette von Performance Countern zur Verfügung, die für das Tuning von Applikationen benutzt werden können. Um auf diese zugreifen zu können, gibt es Tools wie „pfmon“, „oprofile“ und „VTune“.

Bei Problemen wie TLB (Translation Lookaside Buffer) Überbeanspruchung oder der Cache Allokierung kann das „hugelbfs“ Linux Kernel Feature nützlich sein. Es stellt der Applikation bei minimalem TLB Overhead große Hauptspeicherblöcke und kontrollierbare Cache Allokierung für jede Speicherseite zur Verfügung.

Frage: Wie sieht es mit Itanium Anwendungen aus? Immer noch ein Problem?

Antwort: Wir sehen eine sehr gute Entwicklung und ein lebendiges Umfeld rund um den Itanium. 2005 gab es mehr als 7000 zertifizierte Itanium Applikationen, eine Zahl, die sich Jahr für Jahr verdoppelt. Unter den Top 100 Unternehmen der Welt haben sich 75% für Itanium-basierte Lösungen entschieden.

1982 erwarb Tony Luck seinen B.Sc. in Computer Science an der Warwick University in England. Während seiner Tätigkeit für UniSoft, wo er Unix auf eine Vielzahl von Systemen portierte, zog er von Großbritannien nach Kalifornien. Von 1992 bis 2000 beschäftigte er sich bei Stratus Computer mit fehlertoleranten Unix Systemen und arbeitet seither für Intel an Linux. ■

News:

Verstärkung für das europäische Bull HPC-Team

Bull UK hat mit Chris Scott einen weiteren HPC Presales Consultant gewonnen. Der 58-jährige besitzt langjährige Erfahrungen im HPC-Umfeld, die er als Consultant und Projektmanager unter anderem bei Digital, Compaq und HP gesammelt hat. Seine Spezialgebiete sind Open-System Architekturen, Distributed Memory Hardware und Unix/Linux im Umfeld großer SMP-Systeme. Die Technikbegeisterung des neuen HPC Consultant zeigt sich auch in seinen Hobbies: Klassische Autos und Ultraleichtflugzeuge.

BULL HPC HYBRID LÖSUNG

Cluster Management Tool ermöglicht optimierten Einsatz hybrider Infrastruktur

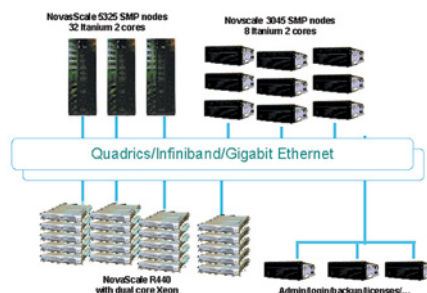
Bei der Beschaffung von Clustern kommt es auf Grund limitierter Budgets oft zu Kompromissen. Vielfach könnte es so zu starren Lösungen mit Servern kommen, die im Wesentlichen nur aus Kostengründen ausgesucht wurden. Eine hybride und flexibel erweiterbare Cluster Lösung, die aus einer Kombination von Intel Dual-Core XEON- und Intel Itanium2-basierten Systemen besteht, ist eine bessere Wahl. Allerdings nur dann, wenn für das Management dieser Hybridlösung entsprechende Tools zur Verfügung stehen. Schließlich sollen die kostensparenden Effekte nicht durch teure Erweiterungen der Administrationsressourcen wieder zunichte gemacht werden.

Für diese Hybridlösungen hat Bull ein Cluster Management Tool entwickelt, das sowohl OpenMP- als auch MPI-Anwendern wesentliche Vorteile bringt. Das OpenSource Produkt bietet für das Management des hybriden Clusters ein einheitliches Interface.

So können Anwender unterschiedlich große SMP Server mit X86 Commodity Clustern leichter integrieren und die individuellen Vorteile der jeweiligen Plattformen optimal nutzen. Für die unterschiedlichen Fachabteilungen lassen sich so zusätzliche Funktionalitäten realisieren, während gleichzeitig abteilungsübergreifend kostensparende Effekte wirksam werden.

Innerhalb der Bull Hybridclusterlösung können alle Systemeinheiten durch ein hochperformantes Interconnect-System mit sehr niedrigen Latenzzeiten verbunden werden. Ein paralleles Filesystem oder Grafikanwendungen sind ebenfalls ohne größeren Aufwand integrierbar.

Das Bull Management-Tool erhöht Verfügbarkeit und Qualität der Clusterlösung. Der gesamte Cluster kann optimal überwacht, flexibel konfiguriert und jederzeit mit Upgrades erweitert werden. Als OpenSource-Code-basiertes Tool bietet es darüber hinaus den Vorteil sehr niedriger Lizenzkosten. Zudem lassen sich, ohne die Benutzerfreundlichkeit zu beeinträchtigen, andere kommerzielle Batchmanagement- und Jobscheduler Softwaremodule einbinden.



Hybrid Cluster Lösung mit NovaScale R440, 3045 und 5325 Servern

Das abgebildete Clusterkonzept mit unterschiedlichen, integrierten Plattformen zeigt auf, wie sich individuelle Anforderungen von Anwendern mit Hilfe einer zentralen Cluster Lösung erfüllen lassen.

Bull NovaScale 3045 Server sind für Anwendungen, die großen shared Memory nutzen, ideal geeignet. Sie sind in einem 2HE- oder 4HE-Gehäuse konfigurierbar und bringen eine maximale Performance von 51 GFLOPs. Mit bis zu 128 GB Hauptspeicher sind die Server nicht nur sehr leistungsfähig, sondern aufgrund der SMP-Fähigkeit auch sehr wirtschaftlich.

Aus NovaScale 3045 Servern und den neuen Intel XEON basierten NovaScale R440 Servern bestehende hybride Cluster bringen Anwendern spürbare Synergieeffekte.

So ermöglicht die neue XEON (Woodcrest) Architektur eine maximale Performance von 48 GFLOPs in einer NovaScale R440 Unit

(1U). Damit können zum Beispiel Physiker, Chemiker oder ABAQUS und PamCrash Anwender ihre jeweiligen Anforderungen in einem Cluster umsetzen. Die hier bisher oft üblichen, nur mangels Alternativen gewählten Lösungen mit zwei parallel eingesetzten Clustern können damit der Vergangenheit angehören. Die hohen Overheadkosten, die eine derartige 2-Cluster-Lösung mit ihren doppelt ausgelegten peripheren Komponenten (z.B. Headnodes und Storage) verursachte, können nun eingespart werden. Die so eingesparten Budgets lassen sich zielgerichtet für eine Erhöhung der HPC Rechenleistung einsetzen. ■

DER WEG ZUM TERA-SCALE COMPUTING IST BEREITET

von Dr. Herbert Cornelius

Technical Director Advanced Computing Center, Intel EMEA

Moore's Law, vor 40 Jahren aufgestellt, bestimmt noch heute die Halbleiterindustrie. Auf Grundlage der von Moore formulierten Gesetzmäßigkeiten werden wir bald in eine Ära eintreten, in der Tera-Scale Computing für Mainstream IT-Umgebungen möglich wird. Darüber hinaus wird man aufgrund des massenhaften Einsatzes dieser Tera-Scale Computertechnologien in der Lage sein, bis zum Ende dieser Dekade in den Bereich des Peta-Scale Computing vorzudringen – mit Computersystemen, die 1.000 mal leistungsfähiger sein werden als die heutigen Teraflops-Supercomputer. Neue Multi/Many-Core Hardwaretechnologien und Architekturen ergänzt um intelligente parallele Softwaretools und effiziente, skalierbare Parallelapplikationen werden hier der Schlüssel zum Erfolg sein.

Moore's Law bleibt gültig

Mark Twain schrieb einmal, dass er die Berichte über seinen Tod sehr übertrieben fand. Ähnliches gilt für das vermeintliche Ableben von Moore's Law, das von Intel Mitbegründer Gordon Moore 1965 entdeckt wurde. Moore stellte fest, dass die Anzahl der in Chips/Prozessoren enthaltenen Transistoren sich über mehrere Generationen hinweg immer wieder verdoppelt hatte und sagte voraus, dass dies mindestens für einige der nächsten Generationen weiterhin so bleiben würde. Diese beständige Verdoppelung würde die Leistung der Prozessoren exponentiell anwachsen lassen und gleichzeitig innerhalb der ganzen Chipbranche für fallende Preise sorgen.

Skeptiker sagten schon kurz nach der Formulierung dieses Moore'schen Gesetzes sein

Ende voraus und Moore selbst zeigte sich erstaunt, sein Gesetz nach 4 Dekaden immer noch gültig zu finden. Und das ist es in der Tat. Mit dem Auftauchen der Multi-Core Architekturen scheinen die von Moore vorhergesagten Performancezuwächse auch für die vorhersehbare Zukunft gesichert zu sein. Eine 65nm Produktionstechnologie ist heute Industriestandard, 45nm Technologien werden für 2007 erwartet und man geht davon aus, dass die Prozesstechnologie das Potential hat, 22nm Strukturen (ungefähr 10nm Länge) um das Ende dieses Jahrzehntes herum zu erreichen. Ein einzelner Chip wird dann aus mehreren Milliarden von Transistoren bestehen. Er wird nicht nur mehrere Prozessorkerne enthalten sondern es werden insbesondere wichtige Stromspartechnologien wie etwa Low-Gate Capacity, Low Interconnect Capacity und Sleep-Transistors für die Reduktion von Stromverlusten integriert sein.

Auf dem Weg zum Tera-Scale Computing

Jede (kommerziell) erfolgreiche Lösung für das Tera-Scale Computing braucht große Bandbreiten zu vernünftigen Kosten. Um dauerhaft eine Rechengeschwindigkeit mit Tera-Operationen pro Sekunde zu bringen, benötigt man Tera-Bytes an Hauptspeicherbandbreite und Tera-Bits für den I/O-Durchsatz. Das Lösen dieser Problematik gehört innerhalb Intel's laufendem Tera-Scale Computing Forschungsprogramm [www.intel.com/go/terascale] zu den Hauptzielen. Auf dem Intel Developer Forum im Herbst 2006 wurde ein Labormuster eines TFLOPS Chip gezeigt, der auf mehreren neuen Technologien aufsetzt. Der Chip besteht aus 80 Cores (Rechenkernen) mit einer neuartigen Interconnect-Struktur (Abbildung 1).

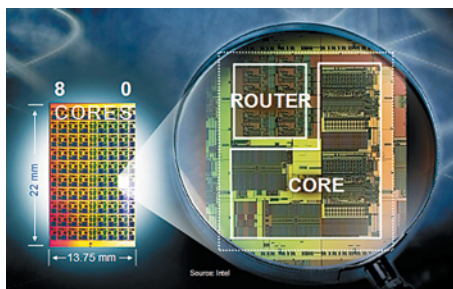


Abbildung 1. Experimenteller Forschungsprototyp eines TFLOPS Chip.

Aufgrund der enormen Rechenleistung eines TFLOPS Chip könnte sich das Standarddesign eines Memory Subsystems hinsichtlich der geforderten Geschwindigkeit und Bandbreite überfordert zeigen. Eine potentielle Alternative könnte darin bestehen, innova-

tive Die-Wafer-Stacking (übereinander stapeln) Technologien einzusetzen. Das brächte den Hauptspeicher näher an die Cores und böte ausreichend Verbindungen („Pins“) zwischen diesen. Ein derartiger Ansatz wird in Abbildung 2 gezeigt.

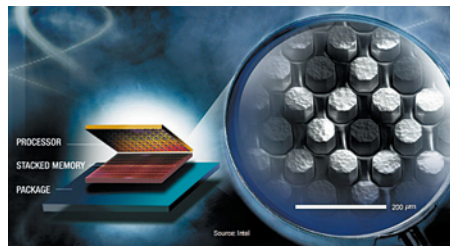


Abbildung 2. Schematische Darstellung eines möglichen Memory und Processor(Core) Die-Stackings.

Wir bewegen uns also in die Ära des Tera-Scale Computing mit Dutzenden oder Hunderten von Prozessorkernen auf einem einzelnen Stück Silizium. Aber wie wollen wir all die Daten transportieren, die so schnell verarbeitet werden? Nun, nichts ist schneller als die Lichtgeschwindigkeit und somit könnten Laser die Antwort auf das Tera-Scale Bandbreitenproblem sein. In diesem Szenario könnte man möglicherweise neue Photonentechnologien mit miniaturisierten Lasern einsetzen, um die benötigten Tera-Bit I/O-Bandbreiten und den notwendigen hohen Datendurchsatz zwischen den einzelnen Chips und anderen Komponenten in einem System aufrechtzuerhalten. Damit könnten preisgünstigen optischen Transceivern, die sehr große Bandbreiten bewältigen, eine Schlüsselfunktion zukommen. Mit ihnen ließen sich die Bandbreitenanforderungen im Terabyte-Bereich abdecken, die künftige Multi-Core basierte PCs und Server verlangen. Die Silizium-Lichtleitertechnologie, die für die extrem leistungsstarken Chips der Zukunft benötigt wird, gehört damit potenziell zu den kritischen Bestandteilen des Tera-Scale Computing. Intel ist es bereits gelungen, auf Basis von Standard Silizium Produktionsprozessen den weltweit ersten, elektrisch betriebenen Hybrid-Silizium-Laser zu bauen und zu testen.

Für bestimmte Arbeitsbelastungen könnte es zudem nützlich sein, einige der Prozessorkerne für definierte Fixed-Function Operationen (spezielle dedizierte Aufgaben) einzusetzen, um die Rechengeschwindigkeit und die Funktionalität eines Tera-Scale Chips nochmals zu steigern und zu verbessern (siehe Abbildung 3 und die Fußnote [1]). Des Weiteren scheint es möglich, rekonfigurierbare Shared/Global und Local Cachespeicher und ebenso neue, skalierbare On-Die Datenleitungen in den Chip direkt zu integrieren.

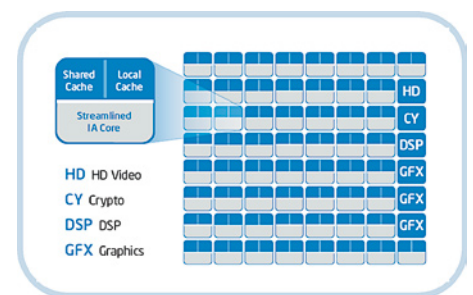


Abbildung 3. Künftige Tera-Scale Chips könnten möglicherweise auf einem Gitter von Dutzenden bis Hunderten von Prozessorkernen mit rekonfigurierbaren Caches und anwendungsspezifischen Hardware-Akzeleratoren, die eine skalierbare On-Die Interconnect Struktur nutzen, aufsetzen.

Das sind gute Nachrichten für Anwender aus der Forschung und Wissenschaft, und für Ingenieure aus der Wirtschaft. Viele Leser dieses Artikels wissen wahrscheinlich viel besser als wir, den Wert derart gesteigerter Leistungsfähigkeit einzuschätzen. Die höhere Leistung und die verbesserte Kosteneffizienz der Tera-Scale und möglicherweise bald auch Peta-Scale IT-Infrastrukturen ermöglicht die Analyse und Untersuchung drängender und wichtiger Probleme. Diese sind nur mit Computersystemen zu lösen, die in der Lage sind, in realen Anwendungen eine Leistung von 10^{12} bis zu 10^{15} Floating Point Operationen pro Sekunde (Tera/Petaflops) zu liefern. Wissenschaftler und Ingenieure werden damit Simulationen durchführen können, die viel umfangreicher sind als heute oder die eine simultane Interaktion zwischen verschiedenen Fachrichtungen und deren Prozessen verlangen. Beispiele für solche Anwendungen finden sich traditionell in den Bereichen Nano- und Werkstoff-Forschung, Klima/Umwelt-Modellen, Wettervorhersagen, Energieforschung, Bio-Informatik, Medizin sowie im Engineering und in der Produktion. Darüber hinaus werden Applikationen wie etwa Realtime Finanzanalysen, Business Intelligence und Data-Mining, 3D-Grafik und Animation sowie hochintelligente RMS (Recognition, Mining & Synthesis) Aufgaben mit Hilfe der neuen Technologien realisierbar.

Zusammenfassung

Tera-Scale und wahrscheinlich auch Peta-Scale Computing werden in einigen Jahren Realität sein. Diese neuen Möglichkeiten werden Anwendern und Applikationen zugute kommen, die ihre Lösungen skalierbar und parallel lauffähig machen. Aber auch wenn die nächste Zukunft also sicher interessant und mit einigen neuen Herausforderungen verbunden sein wird, wir stehen erst am Anfang.

Literatur

[1] Intel Tera-Scale Research Program Focuses on Moving from a Few Cores to Many, Technology@Intel Magazine, Oktober 2006,

www.intel.com/technology/magazine/research/tera-scale-1006.pdf ■

EUROPAS GRÖSSTE SUPERCOMPUTING VERANSTALTUNG 2007 WIEDER IN DRESDEN

International Supercomputing Conference (ISC) vom 26. bis 29. Juni 2007 im Dresdner Kongresszentrum

Die International Supercomputing Conference (ISC), die wichtigste und größte Supercomputing Konferenz und Ausstellung in Europa, findet, wie bereits 2006, wieder in Dresden statt. Vom 26. bis 29. Juni 2007 werden sich im Dresdner International Congress Center HPC-Interessierte aus aller Welt treffen. Prof. Dr. Hans Meuer, General Chairman der ISC '07 und TOP500 Herausgeber, hat wieder ein eindrucksvolles Programm auf die Beine gestellt und rechnet für 2007 mit einer weiteren Steigerung der Teilnehmerzahl. Die Veranstaltung, deren erste Anfänge bis 1986 zurückreichen, fand 2006 erstmals in Dresden statt und konnte am neuen Austragungsort Rekordbesucherzahlen vermelden.



INTERNATIONAL SUPERCOMPUTING CONFERENCE

Das Programm der 22. ISC umfasst, neben einer Ausstellung von HPC-Lösungen (annähernd 100 namhafte Hersteller werden erwartet), ein auf drei Tage angelegtes Konferenzprogramm. Zu den technologieorientierten Schwerpunktthemen zählen nächstes Jahr High Performance Networking, Betriebssysteme und Algorithmen für Petaflops Systeme sowie Branchenlösungen aus den Bereichen der Strömungsdynamik und der Automobilindustrie. Das letztgenannte Thema wird am geplanten „Automotive Afternoon“ besonders ausführlich beleuchtet.

Im Rahmen des „Scientific Day“ stehen zahlreiche Vorträge auf dem Programm, die sich aus wissenschaftlicher Sicht mit Aspekten großer HPC-Lösungen beschäftigen.

Zu den Themen gehören hier unter anderem

- Fortschritte beim Einsatz sehr großer Applikationen (Stichwort: Capability Computing),
- Einflußgrößen auf Implementierung und Einsatz großformatiger Grid-enabled Systeme,
- Computereinsatz und Datenintegration im Bereich der Medizin und der Biologie,
- der Umgang mit extrem datenintensiven Anwendungen,
- Skalierbarkeit von Tools für hunderte und tausende von Prozesselementen,
- Performance von Grid Middleware und Applikationen sowie
- High-speed System Area Networks für das Cluster Computing.

Als weiteres, für viele Besucher sicherlich spannendes Topthema hat ISC-Veranstalter Hans Meuer die gesellschaftliche Bedeutung des Supercomputing auf die Agenda der ISC'07 gesetzt.

Aber natürlich wird es auch bewährte, den regelmäßigen ISC-Besuchern wohlbekannte Programmpunkte geben. Dazu zählen die „Hot Seat Session“, in der sich Vertreter maßgeblicher HPC-Hersteller kritischen Journalistenfragen stellen, zahlreiche Diskussionsforen und die immer mit Spannung erwartete Präsentation der neuesten TOP500 Liste.

Weitere Informationen über die ISC'07 unter www.isc07.org ■



Impressum/Kontakt

Bull GmbH
Theodor-Heuss-Str. 60-66
51149 Köln
Tel.: +49 2203/305-0
Fax: +49 2203/305-1818

Redaktion
Auke Kuiper
eMail: hpc@bull.de
Michael Rieger
eMail: mr@menschundmarketing.de

Warenzeichenhinweis:
Alle fremden Marken und Produktnamen sind Warenzeichen bzw. eingetragene Warenzeichen der jeweiligen Titelhalter.

Beiträge aus dem Bull HPC Newsletter dürfen mit Quellenangabe zitiert bzw. nachgedruckt werden. Gastbeiträge dürfen nur nach vorheriger Absprache mit dem jeweiligen Autor nachgedruckt werden.

Diese Veröffentlichung dient ausschließlich der Information, Gewährleistungsansprüche sind ausgeschlossen.

Den Bull HPC Newsletter können Sie unter www.bull.de/hpc/hpckontakt2.html abonnieren oder abbestellen. Er könnte auch für Ihre Kollegen interessant sein - bitte empfehlen Sie uns weiter.

Für Ihr Feedback nutzen Sie bitte die eMail-Adressen im Impressum. Wir freuen uns über Anregungen und Kommentare.

© Bull GmbH 2006